

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-132855

(43)Date of publication of application : 22.05.1998

(51)Int.CI.
G01R 1/073
G01R 1/067
G01R 31/26
H01L 21/66

(21)Application number : 08-289407

(71)Applicant : NEC CORP

(22)Date of filing : 31.10.1996

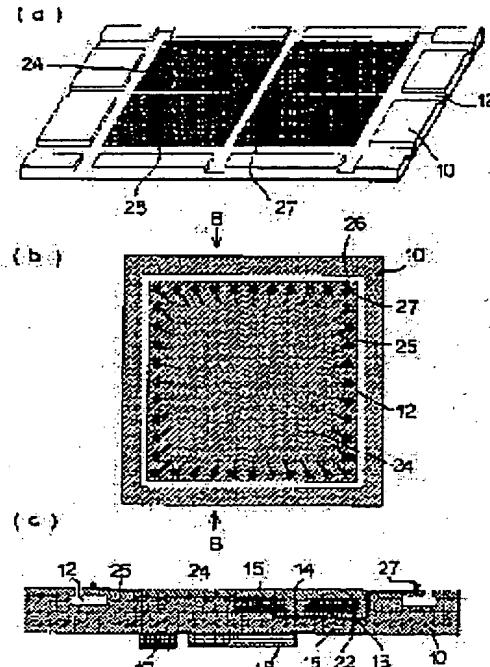
(72)Inventor : SOEJIMA KOJI

(54) PROBE CARD FOR IC INSPECTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a probe card capable of inspecting in the state very close to the state parts such as resistors and capacitors are actually mounted on an IC chip even when inspection is done for the IC chip in bare chip state.

SOLUTION: Chip parts 15, 17 and 18 such as inductor, capacitor and resistor capable of constituting IC to be inspected and an electric circuit are mounted on a wiring base 10 together with probes 24, 26 and 27 for electrically connecting to the IC to be inspected. If the probes 24, 26 and 27 are electrically connected to the IC to be inspected during the inspection of the IC to be inspected, the chip parts 15, 17 and 18 mounted together with them become the state electrically connected to the IC to be inspected and so the IC to be inspected can be inspected in the state close to the actually using state. Therefore, the effects of noise are reduced and the electrical characteristics of the IC can be inspected more exactly and with high reliability.



LEGAL STATUS

[Date of request for examination] 31.10.1996

[Date of sending the examiner's decision of rejection] 21.11.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

書誌

(19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開平10-132855
(43)【公開日】平成10年(1998)5月22日
(54)【発明の名称】IC検査用プローブカード
(51)【国際特許分類第6版】

G01R 1/073
1/067
31/26
H01L 21/66

【FI】

G01R	1/073	E
	1/067	D
	31/26	J
H01L	21/66	B

【審査請求】有

【請求項の数】5

【出願形態】OL

【全頁数】7

(21)【出願番号】特願平8-289407
(22)【出願日】平成8年(1996)10月31日

(71)【出願人】

【識別番号】000004237

【氏名又は名称】日本電気株式会社

【住所又は居所】東京都港区芝五丁目7番1号

(72)【発明者】

【氏名】副島 康志

【住所又は居所】東京都港区芝五丁目7番1号 日本電気株式会社内

(74)【代理人】

【弁理士】

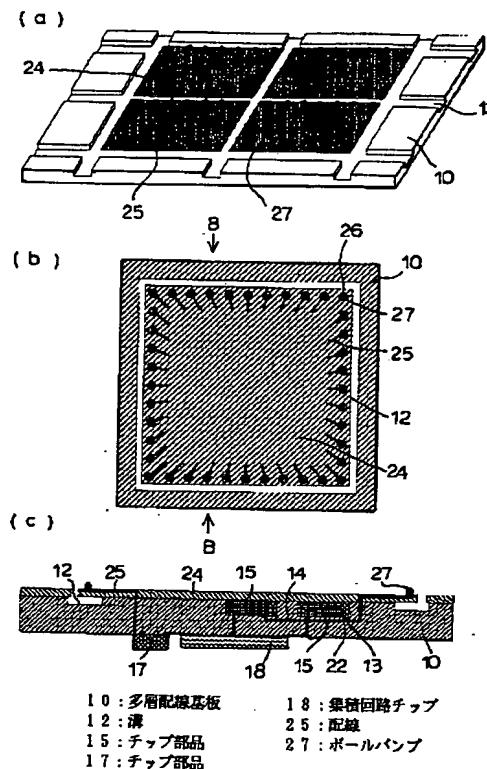
【氏名又は名称】鈴木 章夫

要約

(57)【要約】

【課題】プローブカードを用いて被検査ICをベアチップ状態で検査すると、ICを実際にパッケージした状態での特性検査ができず、検査の信頼性が低下される。

【解決手段】配線基板10に被検査ICに電気接続を行うためのプローブ24, 26, 27と共に、被検査ICと電気回路を構成し得るインダクタ、キャパシタ、抵抗等のチップ部品15, 17, 18を搭載する。被検査ICの検査時にプローブを被検査ICに電気接続すると、これと同時に搭載されているチップ部品が被検査ICに電気接続された状態とされるため、被検査ICを実際の使用状態に近い状態で検査することができ、検査時における雑音の影響を低減し、被検査ICの電気特性をより正確に、かつ高信頼度で検査することが可能となる。



請求の範囲

【特許請求の範囲】

【請求項1】ICを検査するためのプローブカードにおいて、プローブカードの基板として配線が形成された配線基板を用い、この配線基板に被検査ICに電気接続を行うためのプローブと、被検査ICと電気回路を構成し得るインダクタ、キャパシタ、抵抗等のチップ部品とを搭載していることを特徴とするIC検査用プローブカード。

【請求項2】プローブは、配線基板の表面に所要パターンに形成した絶縁膜と導電膜との積層構造とされ、その先端部に被検査ICの電極に接触されるバンプが形成されてなる請求項1のIC検査用プローブカード。

【請求項3】プローブは、配線基板の表面に格子状に配列された錐型の複数個の突起と、この突起の表面に形成された導電膜とで構成される請求項1のIC検査用プローブカード。

【請求項4】チップ部品の少なくとも一部は、配線基板に設けたキャビティ内に埋設されてなる請求項1ないし3のいずれかのIC検査用プローブカード。

【請求項5】チップ部品の一部は配線基板の裏面に搭載されてなる請求項1ないし4のいずれかのIC検査用プローブカード。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はICを検査する際に、ICの電極パッドに接触してICに通電を行うために用いられるプローブカードに関する。

【0002】

【従来の技術】従来、ICの電気的な特性検査を行う場合には、ICの電極に接続されてICに通電を行うためのプローブカードが用いられている。特に、近年のIC検査では、ICチップが樹脂やセラミック等によりパッケージされる以前の状態、特に半導体ウェハの状態で検査が行われ、パッケージされた半導体装置の製品歩留りを向上することが行われている。このようなプローブカードとして、従来では、図11(a)に示すタンゲステンプローブや、図11(b)に示すメンブレンプローブが用いられている。図11(a)のように、タンゲステンプローブは、細いタンゲステンのワイヤ41を並べ

てその先端部と基端部をそれぞれ支持部材42, 43により支持したものであり、その中間部の弾性力をを利用してタングステンワイヤの先端部をICチップの電極パッドに接触させて電気的な接続を行ない、基端部を検査装置に電気接続するものである。また、図11(b)のように、メンブレンプローブはポリイミド等のフィルム51に金属の配線52を形成し、これを支持体54により支持するとともに、ICの電極と接続する部分にはエラストマ55を介して支持板56を設け、この支持板56に前記配線52につながる金属のバンプ53を形成し、フィルム51の弾性によりバンプ53をICチップの電極パッドに接触させ、同時に電気的な接続を行なうものである。

【0003】

【発明が解決しようとする課題】このような従来のプローブカードは、前記したタングステンプローブとメンブレンプローブのいずれも、その構造上被検査ICの電極から例えば3cm以内に抵抗、キャパシタ、IC等の部品を接続することができないものとなっている。すなわち、タングステンプローブの場合には、タングステンワイヤのバネ性を得るためにには所要の長さが必要であり、このワイヤの途中位置に部品を固定するとバネ性が変わったり、ワイヤが変形されてワイヤ先端部の位置が本来の位置からずれたりする。また、メンブレンプローブの場合には、メンブレンの裏面がゴムであるため、IC等の電極と接触するバンプから、ゴムを通して裏面に配線することができない。

【0004】このように、従来のプローブカードでは、被検査ICに近接する位置に抵抗、キャパシタ、IC等の部品を搭載できないため、被検査ICにこれらの部品が実際に接続された状態での検査を行うことが困難である。特に、高速、高周波で動作するICでは、ICの電源や信号線の電極のそばにキャパシタや抵抗を接続しないで電気検査を行うと、パッケージされた時や、基板に実装された時とは異なる出力をするものが多い。したがって、この種のICではペアチップ状態での特性の検査を行っても実際のパッケージされた半導体装置とは異なる特性となり、特性検査の信頼性が得られないという問題がある。

【0005】本発明の目的は、ICに対してペアチップ状態で検査を行った場合でも、ICチップに実際に抵抗、キャパシタ等の部品を搭載した状態に極めて近い状態での検査が可能なプローブカードを提供することにある。

【0006】

【課題を解決するための手段】本発明のプローブカードは、プローブカードの基板として配線が形成された配線基板を用い、この配線基板に被検査ICに電気接続を行うためのプローブと、被検査ICと電気回路を構成し得るインダクタ、キャパシタ、抵抗等のチップ部品とを搭載していることを特徴とする。ここで、プローブは、配線基板の表面に所要パターンに形成した絶縁膜と導電膜との積層構造とされ、その先端部に被検査ICの電極に接触されるバンプが形成された構成とされる。あるいは、配線基板の表面に格子状に配列された錐型の複数個の突起と、この突起の表面に形成された導電膜とで構成される。また、チップ部品の少なくとも一部は、配線基板に設けたキャビティ内に埋設され、あるいはチップ部品の一部は配線基板の裏面に搭載される。

【0007】

【発明の実施の形態】次に、本発明の第1の実施形態を図面を参照して説明する。図1ないし図4は第1の実施形態のプローブカードを製造工程順に示す図である。先ず、図1において、(a)はその斜視図、(b)は平面図、(c)はAA線断面図である。ガラスセラミックを焼成し、内部に配線14を有する多層配線基板10を作成する。この多層配線基板10の両面には、電子部品やケーブル接続用の電極11が設けてある。また、プローブを形成する面、同図(a), (c)の上面には、枠目状の溝12が形成され、かつこの溝12で画成される矩形の単位領域にはチップ部品を内蔵するためのキャビティ13が形成されており、前記電極11の一部がキャビティ13内に形成されている。

【0008】次いで、図2において、(a)は斜視図、(b)は図1(c)と同じ断面図である。ここでは、前記溝12内には銀ペースト20を埋め、400°Cで焼成する。また、前記キャビティ13内の電極11に粒径1μmの銀粉と有機ビヒクルからなる銀粉ペースト21を供給し、比較的に小さいチップ部品15を内装し、仮固定する。また、このときチップ部品15はキャビティ13内の電極11と接続されるが、部品の周囲は基板との間にすき間があいているので、ここにガラスペースト22をつめる。そして、再度250°Cで焼成する。このとき、チップ部品15は電極11に固定される。その上で、多層配線基板10の上面を平面研磨する。

【0009】次いで、図3(a)の斜視図に示すように、多層配線基板10の上面にポリイミド前駆体24をスピンドルコートで塗布し、露光、現像してパターニングした膜を形成した。これにクロム、パラジウム等をスパッタ法により0.1μmの膜厚に形成し、その上でレジストをスピンドルコートで塗布し、露光、現像を行い、さらに電解メッキ、レジストを剥離して配線25を形成した。再度ポリイミド層をフォトリソグラフィによって形成した。これにより、多層配線基板10の上面に多数本のIC検査用の電

極26が形成される。さらに、図3(b)の斜視図に示すように、前記IC検査用の電極26のそれぞれに高さ40*m*のボールパンプ27を形成し、次いで電解メッキによりボールパンプ27の表面にロジウムメッキを1*m*形成する。

【0010】さらに、図4において、(a)の斜視図、(b)の平面図、(c)のBB線断面図に示すように、前記多層配線基板10の溝12の中の銀ペースト20をエッチングにより選択的に除去する。これにより、溝の上面にまで張り出して形成された前記ボリイミド膜24及びIC検査用の電極26は、その下側に前記溝12が復元されるため、この溝12の上部において片持状態となり、その先端部に厚さ方向の弾性が生じる状態となる。そして、多層配線基板10の裏面には、前記電極11を利用してチップキャパシタ等の他のチップ部品17を搭載し、前記配線14を利用して前記IC検査用の電極26に電気接続を行う。これにより、プローブカードの作製が完了される。なお、この実施形態においては、IC検査用電極26に最も近い位置のキャビティ13内のチップ部品15とパンプ27との間の配線長は1mmであり、多層配線基板10の裏面のチップキャパシタ等のチップ部品17とIC検査用電極26との間の配線長は6mmである。また、このチップキャパシタは、ここでは0.01*F*のコンデンサとし、さらに多層配線基板10の裏面には、ICの特性評価に必要な集積回路チップ18を実装している。この集積回路チップ18とパンプ27との間の配線長は10mmである。

【0011】こうして作成したプローブカードは、前記IC検査用の電極26のパンプ27を、図外の被検査ICのパッド電極に接触させ、プローブカードを通して所要の通電を行うことにより、ICの特性検査が実現される。そして、このプローブカードには、キャパシタ、インダクタンス等のチップ部品15、17が一体に搭載されており、これらのチップ部品15、17とパンプ27との間の配線長も多層配線基板10の板厚程度に極めて短く設定されているため、被測定ICにこれらのチップ部品が接続されているのに極めて近い状態での特性検査が可能となる。因みに、前記プローブカードと、従来のタングステンプローブでICを検査してその結果を比較したところ、ICの出力波形は図5(a)、(b)の通りであった。図5(a)の本発明のプローブカードにおいては、電源のインピーダンスが小さくなっているのと、入力信号の配線がインピーダンスマッチングされ、終端も特性インピーダンスにあわせてあるので、信号波形に歪みが起きず、デバイスの特性を正確に測定している。一方、図5(b)の従来のプローブでは、被検査ICの電極からインダクタンスの大きなタングステンピンを経由してキャパシタが実装してあるうえ、デバイスの入力端がインピーダンスマッチングされていないため、信号波形に歪みが起きていることが判る。

【0012】ここで、本発明における前記した作用効果を確認する意味で、図示は省略するが、図4(c)の構成において、パンプ27に最も近い位置のキャビティ13内のチップ部品15とパンプ27との間の配線長を5mmとし、他のキャビティ内のチップ部品15とパンプ27との間の配線長を10mmとし、多層配線基板10の裏面の0.01*F*のチップキャパシタ17と特性評価用集積回路チップ18とパンプ27との間の配線長が20mmであるプローブカードを作製した。こうして作製したプローブカードを用いて第1の実施形態と同様に検査を行ったところ、図5(a)の第2実施形態で示す特性となった。この特性は第1実施形態の特性に略近いものであるが、第1実施形態より配線長が長くなつたために、僅かに波形に歪みが見られた。このことから、前記各実施形態のように、チップ部品とパンプとの配線長を短くしたプローブカードでは、検査により得られる特性に優れたものが得られることが判る。

【0013】次に、第2の実施形態を図6に示す。この実施形態では、キャパシタ、あるいは抵抗、あるいはインダクタンス素子としてのチップ部品18を全て多層配線基板10に一体化して埋め込んだものを用いており、この多層配線基板10を用いて第1の実施形態と同様にプローブカードを作製した。すなわち、配線14、IC検査用電極26、パンプ27等の構成は第1の実施形態と同様である。このプローブカードを用いて第1の実施形態と同様にICを検査した結果、電気特性が第1の実施形態と同様に優れていることを確認した。特に、この第2の実施形態では、第1の実施形態において多層配線基板10の裏面に搭載したチップ部品17をチップ部品18として多層配線基板10内に埋設していることで、パンプ27までの配線長を更に短くでき、特性を改善する上で有効となる。

【0014】ここで、前記した各実施形態のプローブカードでは、図7(a)に示すように検査部を構成する単位が縦横に2列に配列されているため、4個のICを同時に検査することが可能である。また、図7(b)に示すように、検査部の単位を縦横に8列に配列し、同時に64個のICを同時に検査することを可能な構成とすることも可能である。もちろん、これら以外の多数個のICを同時に検査する構成とすることも可能である。

【0015】図8ないし図10は本発明の第3の実施形態を説明するための図である。先ず、図8(a)、(b)に平面図と断面図を示すように、ABS樹脂をモールドして板状としたプローブ基板30を形成し、このプローブ基板30の片面にはピッチ300*m*で格子状に配列され、高さ100*m*の角

錐形をした突起31が被検査ICの電極位置に対応して形成される。また、前記プローブ基板30には前記突起31が形成された表面と裏面との間の導通を得るための開孔32が形成されている。かかる上で、図9に示すように、前記プローブ基板30に、回路基板作製法でアディティブ法と呼ばれる方法でメタライズを施し、導体膜33を形成する。このアディティブ法はレジストをディッピングによってプローブ基板にコートし、露光現像でメタライズする部分のレジストを除き、無電解メッキする方法である。これによって、突起31を導体膜33で覆ったプローブ34が形成され、かつ開孔32ではスルーホール35が形成され、このスルーホール35によって裏面にまで電気配線を延長し、プローブ基板30に形成された電極36と前記プローブ34との電気的な接続がとられた構造が形成される。

【0016】続いて、図10(a), (b)に平面図と断面図を示すように、前記プローブ基板30を前記各実施形態のように、抵抗やキャパシタ等のチップ部品15, 17や集積回路チップ18等の検査の電気的な精度を上げる部品を実装した多層配線基板10に異方導電性樹脂37で張り付け、プローブ基板30の裏面の電極36を多層配線基板10の電極11に電気接続して両基板を相互に電気接続する。これにより、プローブ34の先端から各チップ部品15, 17まで最短の配線長を2mm程度としたプローブカードが形成される。格子状の電極をもつ被検査ICをこのプローブで検査したところ、図5(a)に示した特性に近い特性が得られた。

【0017】

【発明の効果】以上説明したように本発明は、プローブカードの基板として配線が形成された配線基板を用い、この配線基板に被検査ICに電気接続を行うためのプローブと共に、被検査ICと電気回路を構成し得るインダクタ、キャパシタ、抵抗等のチップ部品を搭載しているので、高速のIC等、従来はパッケージしてキャパシタや抵抗をチップ周辺に実装しなければ特性を検査できないようなデバイスでも、ベアチップ状態で検査することができる。また、この場合、チップ部品はプローブに近接した状態で搭載されるため、被検査ICにも近接された状態での検査が可能となり、これにより、検査時の雑音の影響を低減し、ICの電気特性をより正確に、かつ高信頼度で検査することが可能となる。

図の説明

【図面の簡単な説明】

【図1】本発明の第1の実施形態のプローブカードの製造工程を説明するための斜視図、平面図、AA線断面図である。

【図2】図1に続く製造工程の斜視図と断面図である。

【図3】図2に続く製造工程の斜視図である。

【図4】図3に続く製造工程の斜視図、平面図、BB線断面図である。

【図5】本発明と従来技術との特性を比較して示す特性図である。

【図6】本発明の第2の実施形態のプローブカードの断面図である。

【図7】本発明のプローブカードの変形例の平面図である。

【図8】本発明の第3の実施形態の製造工程を説明するための平面図と断面図である。

【図9】図8に続く製造工程の断面図である。

【図10】図9に続く製造工程の平面図と断面図である。

【図11】従来のプローブカードの異なる例を示す断面図である。

【符号の説明】

10 多層配線基板

11 電極

12 溝

13 キャビティ

15, 17 チップ部品

18 集積回路チップ

20 銀ペースト

24 ポリイミド前駆体

25 配線

27 ボールバンプ

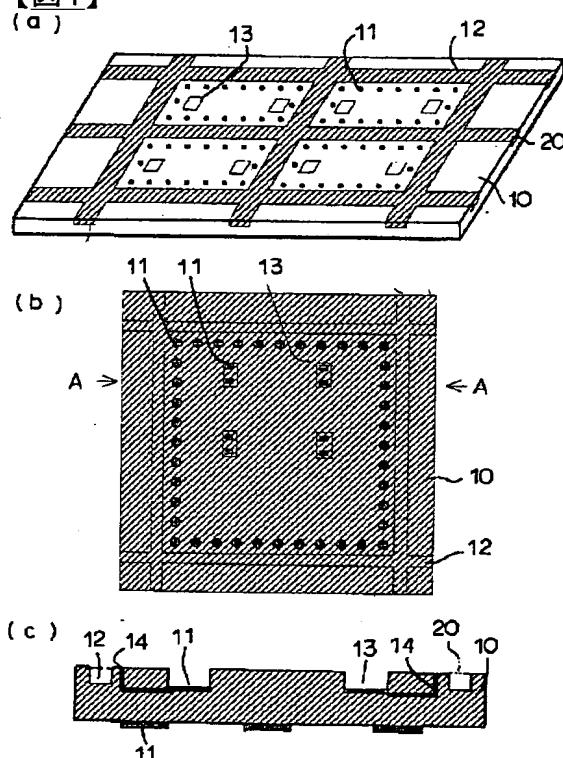
30 プローブ基板

34 プローブ

35 スルーホール
36 電極
37 異方導電性樹脂

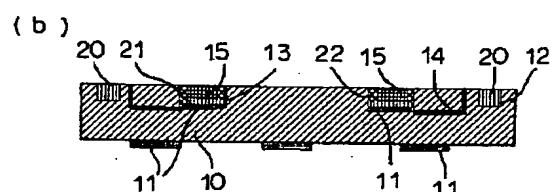
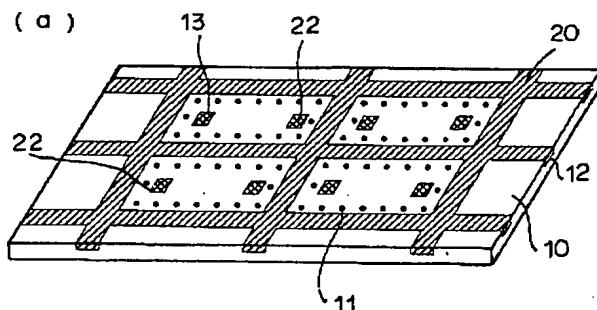
図面

【図1】



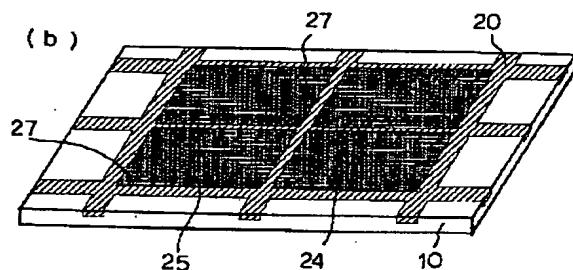
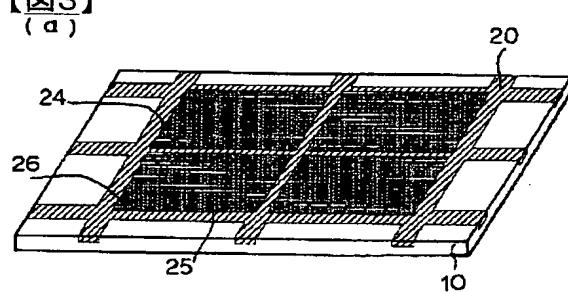
10 : 多層配線基板	13 : キャビティ
11 : 電極	14 : 配線
12 : 海	20 : 銀ペースト

【図2】



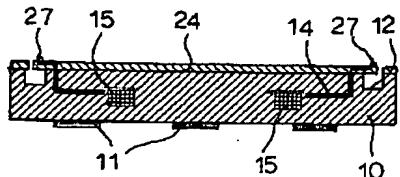
10 : 多層配線基板	15 : チップ部品
11 : 電極	20 : 銀ベースト
12 : 溝	21 : 銀粉ベースト
13 : キャビティ	22 : ガラスベースト
14 : 配線	

【図3】



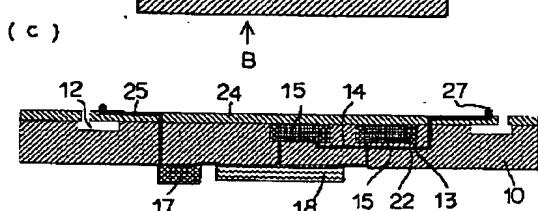
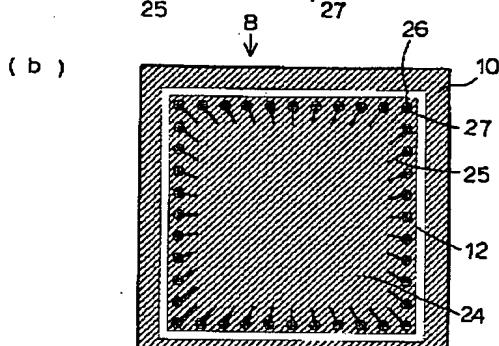
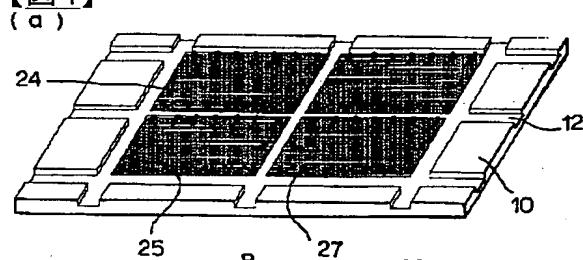
10 : 多層配線基板	25 : 配線
20 : 銀ベースト	26 : 電極
24 : ポリイミド前駆体	27 : ボールバンプ

【図6】



10 : 多層配線基板
11 : 電極
12 : 溝
14 : 配線
15 : チップ部品
24 : ポリイミド前駆体
27 : ボールバンプ

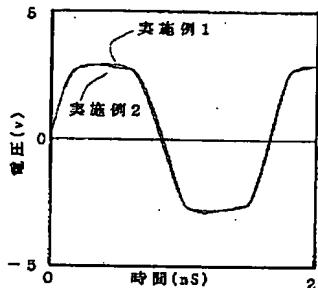
【図4】



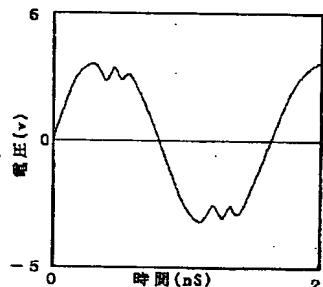
10 : 多層配線基板
12 : 溝
15 : チップ部品
17 : チップ部品
18 : 集積回路チップ
24 : ポリイミド前駆体
25 : 配線
27 : ボールバンプ

【図5】

(a)

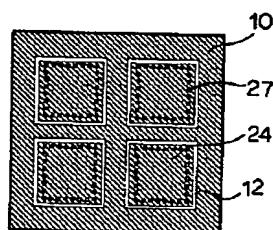


(b)

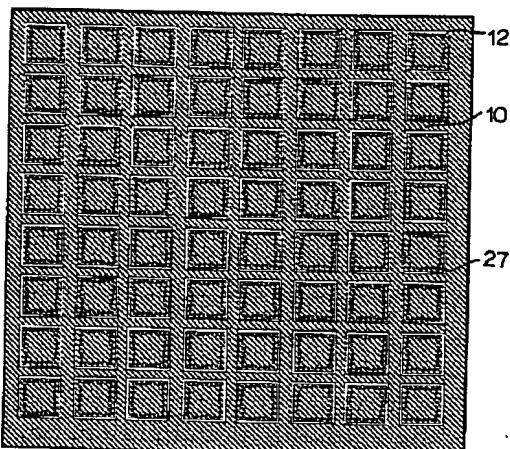


【図7】

(a)



(b)



10 : 多層配線基板

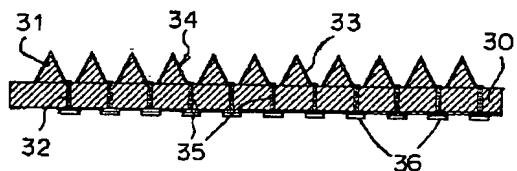
11 : 電極

12 : 游

24 : ポリイミド前躯体

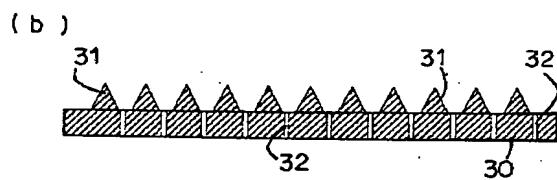
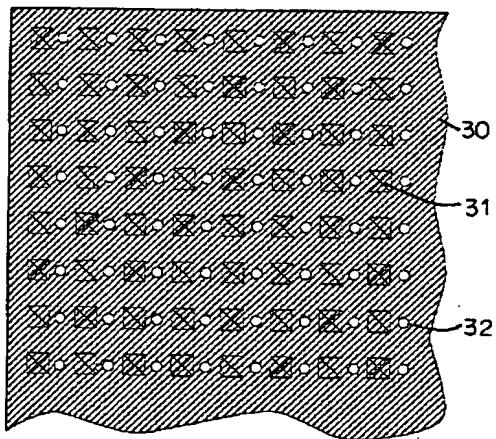
27 : ポールバンプ

【図9】



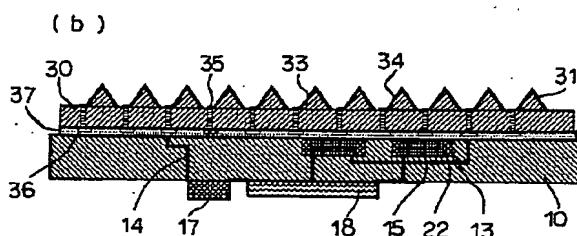
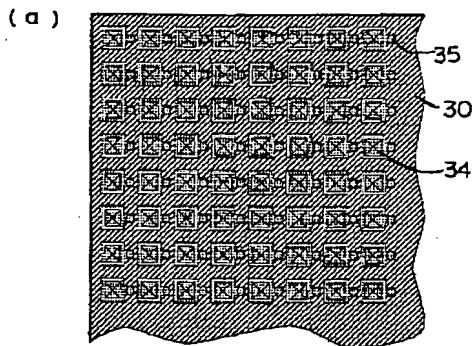
30 : プローブ基板
 31 : 突起
 32 : 開孔
 33 : 導体膜
 34 : プローブ
 35 : スルーホール
 36 : セル

【図8】
(a)



30 : プローブ基板
 31 : 突起
 32 : 開孔

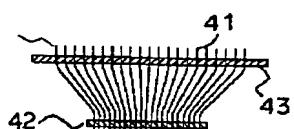
【図10】



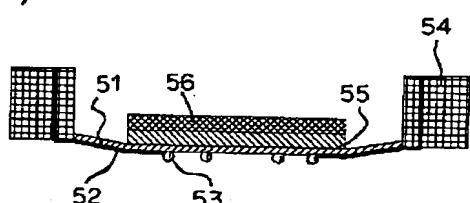
10 : 多層配線基板	30 : プローブ基板
15 : チップ部品	31 : 突起
17 : チップ部品	32 : 開孔
18 : 集積回路チップ	33 : 導体膜
	34 : プローブ
	35 : スルーホール

【図11】

(a)



(b)



41 : ワイヤ	51 : フィルム
42 : 支持部材	52 : 配線
43 : 支持部材	53 : 金属バンプ

54	55 : エラストマ
56	56 : 支持部材